

# 航天 772 所高校专项科研计划 2013 年度招标项目指南(简版)

## 目录

一、项目指南 .....	1
1.1 基于SoPC芯片的微纳卫星综合电子系统设计与测试技术.....	1
1.2 基于 8 位微控制器的全数字DC/DC模块的设计 .....	2
1.3 ESD设计技术研究.....	3
1.4 1Gbps~2.5Gbps 高速Serdes电路研究.....	4
1.5 SpaceWire总线应用开发环境设计 .....	5
1.6 星载异构多核可重构SoC集成开发环境设计 .....	6
1.7 SPARC V8 处理器仿真模型接口设计及验证.....	7
1.8 倒装焊陶瓷封装可靠性评估及检测.....	8
1.9 低照度微光探测器.....	9
1.10 高帧频CMOS相机图像采集处理技术 .....	10
1.11 FPGA测试向量开发自动化技术 .....	11
1.12 伪距定位算法研发.....	12
1.13 高精度载波相位定位算法研究.....	13
1.14 基于硅基技术的射频功率放大器（RFPA）设计 .....	14
二、特别声明 .....	15
三、联系方式 .....	15

## 一、项目指南

### 1.1 基于 SoPC 芯片的微纳卫星综合电子系统设计与测试技术

#### 1.1.1 研究内容

该项目面向微纳卫星综合电子应用，兼容 CubeSat、NanoSat 标准卫星接口低轨应用，基于国产 SoPC 芯片研发兼容 CubeSat 架构的微纳卫星综合电子系统及其配套软件。研究内容包括：

- 1) 基于 SoPC 芯片计算机板设计、调试；
- 2) 操作系统及其 BSP 移植；
- 3) 多传感器融合控制算法研制和移植；
- 4) 搭建演示系统及其系统测试。

注：此项目甲方可提供相关硬件模块和软件环境。

#### 1.1.2 成果形式

- 1) 计算机板
- 2) 控制软件 C 语言源码和 matlab 仿真环境
- 3) 实验演示系统
- 4) 设计文档、使用手册、实验报告、论文

#### 1.1.3 技术指标

- 1) SPARC V8 处理器内核
- 2) 控制软件姿态定位精度（二维定位精度<10m；高程精度<12m；三轴指向精度：<10°）
- 3) 尺寸、重量符合详版要求

#### 1.1.4 研制周期和课题经费

研制周期：2 年。

课题经费：35 万元。

## 1.2 基于 8 位微控制器的全数字 DC/DC 模块的设计

### 1.2.1 研究内容

依托于我所8位微控制器、ADC转换器、模拟开关和功率驱动器件，研究全数字DC/DC的基础部分拓扑结构和核心部分控制器，形成一套完整的全数字DC/DC解决方案。研究内容包括：

- 1) 全数字DC/DC的拓扑结构；
- 2) 核心控制器的体系结构和算法；
- 3) 全数字DC/DC模块的演示实验板。

### 1.2.2 成果形式

序号	文档	代码	演示环境
1	成果物清单	核心控制器代码	全数字 DC/DC 模块功能演示板
2	项目工作报告	验证环境及激励代码	
3	验证测试报告	其他代码	

### 1.2.3 技术指标

- 1) 输入电压：28V
- 2) 输出电压：单路输出，+5V
- 3) 输出功率：5W
- 4) 输出输入隔离：是
- 5) 输出纹波：50mV<sub>p-p</sub>
- 6) 效率：90%
- 7) 过压保护：额定输出电压以上±10%
- 8) 上电过冲：<5%额定电压，单调上升
- 9) 输出电压：可调节

### 1.2.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。

## 1.3 ESD 设计技术研究

### 1.3.1 研究内容

#### 1) CMOS 集成电路高压输入 ESD 防护技术

基于指定工艺，可保证 80 PIN 芯片 2000V ESD (HBM) 通过的保护结构。

#### 2) 多电压域混合信号 SoC 全芯片 ESD 设计技术

基于指定工艺，针对三个（含）以上 domain 域的 ESD 设计技术研究，解决嵌入式模拟 IP 隔离引起的多个（三个以上）电压域之间的全芯片 ESD 减弱问题。

#### 3) 器件级、电路级 ESD 仿真技术研究

基于指定工艺，针对不同结构的有效器件与电路，开发 ESD 仿真环境，建立 ESD 仿真模型，掌握 ESD 仿真方法，达到可预先评估 ESD 设计水平的目的。

### 1.3.2 成果形式

序号	文档	版图及模型
1	成果物清单	器件及电路级 ESD 模型
2	项目工作报告	多电压域 ESD 设计结构原理图、版图
3	ESD 建模方法及仿真流程	高压输入端口 ESD 设计结构原理图、版图
4	多电压域 ESD 设计文档	
5	高压输入端口 ESD 防护文档	

### 1.3.3 技术指标

研究内容	技术指标
高压输入端口 ESD 防护技术	输入正负 10V，电源电压 3.3V 80 PIN 全芯片测试 HBM: 2000V
ESD 仿真技术	器件级仿真结果与测试电路测试结果误差小于 20% 电路级仿真结果与实测结果误差小于 200V
多电压域 ESD 设计技术	三个（含）以上电压域 600 PIN SOC ESD 2000V (HBM)

### 1.3.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。

## 1.4 1Gbps~2.5Gbps 高速 Serdes 电路研究

### 1.4.1 研究内容

本课题的研究对象为 8b/10b Serdes，工作频率 1Gbps~2.5Gbps，工作电压 2.5V，具有片上 8-bit/10-bit 编/解码器及 Comma 检测功能，用片上 PLL 实现对低速参考时钟的频率综合。通过本课题的研究，需实现以下关键技术的突破：

- 1) 高速时钟和数据恢复(CDR)技术
- 2) 串行输出的可编程预加重(Programmable Preemphasis) 技术
- 3) 信号丢失检测(LOS)技术
- 4) COMMA 检测(Comma Detect)技术

### 1.4.2 成果形式

序号	类别	名称
1	文档	Serdes 研制总结报告
2	IP	Serdes IP (包含原理图, GDS 文件)
3	硬件	Serdes 专用高速测试板
4	软件	Serdes 高覆盖性测试向量或测试方法
5	文档	Serdes IP 测试报告

### 1.4.3 技术指标

参数	测试条件	最小	典型	最大	单位
VOD(p) 预加重 VOD	Rt=50Ω PREM=high	655	725	795	mV
	Rt=50Ω PREM=low	590	650	710	
VOD(d) 无预加重 VOD	Rt=50Ω	540	600	660	mV
V(cmt) 发送器共模电压	Rt=50Ω	1000	1250	1400	mV
VID 接收器输入差模		200		1600	mV
V(cmr) 接收器共模电压	Rt=50Ω	1000	1250	2250	mV
串行数据 total jitter(p-p)	差分输出 jitter@2.5 Gbps, PRBS 格式	0.20			UI
	差分输出 jitter@1.6 Gbps, PRBS 格式	0.16			UI
tr,tf	差分输出上升、下降时间 (20%~80%)。Rt=50Ω, CL=5pf	150			ps
td(Tx latency)		34		38	bits
tr(Rx latency)		76		107	bits

注：电路需可在-55~+125℃温度范围内，VDD=3.3±10%。

### 1.4.4 研制周期和课题经费

研制周期：2年。

课题经费：30万。

## 1.5 SpaceWire 总线应用开发环境设计

### 1.5.1 研究内容

基于航天 772 所研制的 SpaceWire 通讯芯片组，立足国内应用需求，建立 SpaceWire 网络应用开发平台，研究链路冗余方案和网络传输的时间确定性方案，开发 SpaceWire 网络驱动程序，实现网络应用和数据传输效率、误码、传输延迟等性能评估，支持 SpaceWire 网络冗余。

### 1.5.2 成果形式

- 1) 完善的 SpaceWire 网络硬件环境，包括基于 5 个通讯控制器的节点和 2 个路由器节点。
- 2) 完善的 SpaceWire 网络应用程序和支持库，可对网络进行性能评估。
- 3) 完整的 SpaceWire 网络开发平台软、硬件文档。

### 1.5.3 技术指标

- 1) SpaceWire 总线传输速率 200Mbps，系统时钟大于 30MHz。
- 2) 节点板和路由器板具有 PCI、USB 和 Ethernet 接口。
- 3) 网络系统具备误码率测试能力，具备网络性能评估、监控能力和冗余能力。

### 1.5.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。

## **1.6 星载异构多核可重构 SoC 集成开发环境设计**

### **1.6.1 研究内容**

基于 Eclipse 平台，研究针对异构多核可重构 SoC 的软件开发工具集成和管理方法，研制具有良好图形界面的多核系统一体化集成开发环境，实现程序开发、调试、优化和数据可视化，有效支持多核 SoC 的推广与应用。具体研究内容包括：

- 1) 并行编程技术研究。
- 2) 多核调试器设计技术研究。
- 3) 多核性能分析工具技术研究。
- 4) 函数库设计。

### **1.6.2 成果形式**

- 1) 完整的多核集成开发软件系统
- 2) 规范的软件系统文档
- 3) 典型应用示范

### **1.6.3 技术指标**

- 1) 支持主流操作系统平台
- 2) 并行程序开发工具
- 3) 多核调试模块
- 4) 性能分析工具
- 5) 函数库

### **1.6.4 研制周期和课题经费**

研制周期：2年。

课题经费：30万。

## 1.7 SPARC V8 处理器仿真模型接口设计及验证

### 1.7.1 研究内容

基于 SPARC V8 指令精确模型，设计 AMBA 总线接口；建立验证环境、设计验证激励，进行 SPARC V8 仿真模型及 AMBA 接口的功能验证；对 V8 仿真模型及验证环境和激励进行封装，实现参数配置和自动运行。完成基于 SPARC V8 的 SoC 设计、性能分析、功能验证、IP 集成。

### 1.7.2 成果形式

序号	文档	代码	演示环境
1	成果物清单	AMBA 总线接口代码	1 套演示环境
2	项目工作报告	验证环境及激励代码	
3	仿真模型总线接口设计手册	封装配置代码	
4	验证环境设计手册	其他代码	
5	验证功能点及激励说明手册		
6	封装配置说明手册		

### 1.7.3 技术指标

- 1) V8 仿真模型可被 VC2005、VC2008 和 gcc 编译；
- 2) V8 仿真模型能够执行 Mibench 等程序；
- 3) 验证环境支持主流的 EDA 仿真工具；
- 4) 功能点覆盖率达到 100%；
- 5) Testbench 对 CPU 的占用时间应小于总体占用时间的 30%；
- 6) 仿真模型配置支持符合 IP-XACT 的工具。

### 1.7.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。



## 1.8 倒装焊陶瓷封装可靠性评估及检测

### 1.8.1 研究内容

对航天 772 所陶瓷 FC 封装器件，对芯片凸点的分布进行优化设计，实现 FC 器件的寿命预测；对芯片凸点及倒装焊器件的检测方法进行研究，建立倒装焊封装工艺质量控制体系；对倒装焊焊点的微观组织演变，全面评估和分析倒装焊封装可靠性，建立倒装焊封装可靠性评估理论基础。主要研究内容包括：

- 1) 倒装焊焊点热应力分析及寿命预测；
- 2) 凸点制备对倒装焊可靠性的影响；
- 3) 倒装焊工艺可靠性分析；
- 4) 底部填充可靠性分析；
- 5) 倒装焊凸点检测方法研究。

### 1.8.2 成果形式

序号	文档名称
1	FC-CCGA 合格器件
2	项目工作报告
3	倒装焊封装工艺可靠性评估报告
4	倒装焊仿真分析报告
5	设计规范
6	工艺规范与检验标准

### 1.8.3 技术指标

- 1) 芯片凸点直径为  $80\mu\text{m}\sim 200\mu\text{m}$ ，凸点节距为  $150\mu\text{m}\sim 300\mu\text{m}$ ；
- 2) FC-CCGA 器件抗温度循环 ( $-65\sim 150^{\circ}\text{C}$ ) 能力  $\geq 1000$  次；
- 3) FC-CCGA 器件抗热冲击 ( $-65\sim 150^{\circ}\text{C}$ ) 能力  $\geq 500$  次；
- 4) 倒装焊仿真分析凸点数量  $\geq 1500$ 。

### 1.8.4 研制周期和课题经费

研制周期：2年。

课题经费：30万。

## 1.9 低照度微光探测器

### 1.9.1 研究内容

基于航天 772 所 CMOS APS 样片，研究高灵敏度的可见光传感器和像增强器实现的微光探测器，实现微弱光照度下的清晰成像和视频成像。掌握微光成像增强技术、低噪声处理/抑制技术、高画质图像采集/处理技术等。形成相应的原理样机，达到微光探测需求，初步达到样品要求。

### 1.9.2 成果形式

序号	文档	代码	样机
1	成果物清单	软件驱动源代码	原理样机两台套
2	项目工作报告	编译环境代码	
3	软硬件系统的开发技术报告、使用说明书	其他代码和脚本	
4	微光探测器产品说明书		
5	硬件原理图、PCB 板图		

### 1.9.3 技术指标

- 1) 像素规模：1024 × 1024;
- 2) 像素率：20MHz;
- 3) 图像灰度：12 位;
- 4) 最低照度：1 × 10<sup>-4</sup>lux @F1.4;
- 5) 可实现对 100 ~ 400m 距离内目标物的有效识别;
- 6) 微光探测器系统的输出的图像信噪比应不低于 50dB;
- 7) 重量：不超过 2Kg (包括镜头)。

### 1.9.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。

## 1.10 高帧频 CMOS 相机图像采集处理技术

### 1.10.1 研究内容

本项目基于航天 772 所提供的 CMOS APS 样片，研究高帧频 CMOS APS 器件的测试相机系统，掌握测试系统的高像素率图像采集技术、传输技术、低噪声处理技术、相关图像处理技术等。

### 1.10.2 成果形式

序号	文档	代码	样机
1	成果物清单	相机系统驱动程序、PC 机操作面板、数据采集/传输等源代码	原理样机两台套
2	项目工作报告	编译环境代码	
3	软硬件系统的开发技术报告、使用说明书	图像采集/处理、低噪声处理等程序	
4	硬件原理图、PCB 板图	其他代码和脚本	
5	软件设计说明及编译环境		

### 1.10.3 技术指标

#### 1) 测试系统指标

- 像素率：≥40MHz；
- 图像灰度：12 位；
- 缓存深度：≥16M Byte；
- 图像输出接口：CameraLink；
- 相机系统总噪声：<200e-；
- 功耗：<6W。

#### 2) 样机性能

- 具有子母板结构，可适应不同分辨率规格的 APS 芯片测试演示扩展需求；
- 人机操作界面显示的参数信息清晰、全面，且参数可连续调整；
- 预留测试数据端接口，监测测试激励信号的控制、调试和输出信号。

### 1.10.4 研制周期和课题经费

研制周期：2年。

课题经费：20万。

## 1.11 FPGA 测试向量开发自动化技术

### 1.11.1 研究内容

通过对 Xilinx 公司 FPGA 产品体系架构以及测试结构的研究，建立 XDL 语言分析数据库、基于 XDL 的自动化向量设计流程、测试向量自动开发软件和测试覆盖率统计工具，形成用于批生产的工程化测试向量。本课题的成果包括 Virtex、Virtex2、Virtex4 等 3 个系列的工程化测试向量，可应用于这些系列的批生产。

### 1.11.2 成果形式

序号	文档	代码
1	成果物清单	测试向量集
2	项目工作报告	基于 XDL 的向量开发自动化软件的源代码
3	XDL 向量设计方法说明	XDL 数据库
4	向量覆盖率说明	覆盖率统计软件代码
5	XDL 节点描述及语法规则说明	其他代码和脚本
6	配置码流及向量对应表	

### 1.11.3 技术指标

- 1) 测试向量至少涵盖 Virtex 系列典型产品，Virtex 2 系列典型产品，Virtex4 系列典型产品；
- 2) 测试向量的逻辑资源及内嵌 IP 核的测试覆盖率>95%；互联资源的测试覆盖率>90%；
- 3) 基于 XDL 的测试向量自动化开发软件，单个向量编译时间<5 分钟，自动生成资源覆盖率统计数据。

### 1.11.4 研制周期和课题经费

研制周期：2年。

课题经费：30万。

## 1.12 伪距定位算法研发

### 1.12.1 研究内容

面向北斗二代导航大众及行业的导航应用的巨大的市场，基于自主知识产权北斗二代/GPS 多模卫星导航基带 SoC 芯片，完成单星座或多星座的兼容定位算法（PVT）的研发，输出卫星导航伪距定位结果。研究内容包括：

- 1) 定位算法研究，对动态模型与观测量误差进行建模，定位输出平滑稳定；
- 2) 具备航迹推算功能；
- 3) 完好性（RAIM）算法研究；
- 4) 以上算法完成 C 语言实现，并且进行算法优化，满足设计规范。

注：项目开展需依托导航芯片部提供的导航模块（BMN2200S），其射频为润芯 3007，基带 SoC 为我所 BM3013，包含的频点 GPS L1、北斗 B1、B3。

### 1.12.2 成果形式

序号	文档	代码	样机
1	成果物清单	伪距定位代码	1 套算法验证环境
2	项目工作报告	完好性代码	
3	算法说明文档	三星定位代码	
4	功能性能测试报告		

### 1.12.3 技术指标

任务	指标	
双模联合定位	联合定位功能	
航迹推算	具有航迹推算功能	
三星定位	定位功能	
	定位精度	10m
静态定位	定位精度	3m
动态定位性能	定位精度	5m
	定位可用度	99%
	测速精度	0.1m/s

### 1.12.4 研制周期和课题经费

研制周期：1年。

课题经费：25万。

## 1.13 高精度载波相位定位算法研究

### 1.13.1 研究内容

基于载波相位的高精度定位算法，深入研究高精度载波定位算法、整周模糊度及定位后处理，改进和进一步优化定位精度、定位可用性。研究内容包括：

- 1) 高精度载波相位定位算法研发，设计载波相位高精度定位算法，整周模糊度求解算法等；
- 2) 无基站双频 RTK 算法研发，基于北斗 B1 和 B3 两个频点，设计实现双频 RTK 算法，实现无基站的高精度定位。

注：项目开展需依托导航芯片部提供的导航模块（BMN2200S），其射频为润芯 3007，基带 SoC 为我所 BM3013，包含的频点 GPS L1、北斗 B1、B3。

### 1.13.2 成果形式

序号	文档	代码	样机
1	成果物清单	载波相位定位代码	1 套算法验证环境
2	项目工作报告	无基站双频 RTK 定位代码	
3	算法说明文档	其他代码和脚本	
4	功能性能测试报告		

### 1.13.3 技术指标

项目	指标	
载波相位定位	水平定位精度	1cm
	垂直定位精度	2cm
	定位可用度	99%
无基站双频 RTK	水平定位精度	2.5mm
	高程定位精度	5mm
	定位可用度	99%

### 1.13.4 研制周期和课题经费

研制周期：1年。

课题经费：25万。

## 1.14 基于硅基技术的射频功率放大器（RFPA）设计

### 1.14.1 研究内容

针对 L、S 波段射频收发机的集成技术需求，开展 1-3GHz 频段射频功率放大器的硅基设计技术研究。研究内容包括：

- 1) 1-3GHz 频段 RFPA 硅基设计技术研究；
- 2) 线性化及效率增强技术研究；
- 3) 频率可调（1-3GHz）技术研究；
- 4) 负载牵引技术研究；
- 5) RFPA 测试与模块开发。

### 1.14.2 成果形式

序号	文档	代码	智力成果
1	成果物清单	电路数据	论文、专利
2	项目工作报告	版图数据	
3	设计与验证报告	芯片样品	
4	端口定义及使用说明手册	测试评估板	
5	封装测试说明手册		

### 1.14.3 技术指标

技术参数	指标
工作频率	1-3GHz
输入驻波比（VSWR）	<2
功率增益	>20dB
功率附加效率（PAE）	≥40%
输出 1dB 压缩点	≥36dBm
最大输出功率	≥33dBm
二次谐波	≤-50dBc

### 1.14.4 研制周期和课题经费

研制周期：2年。

课题经费：30万。

## 二、特别声明

- 2.1** 本单位不会，亦不会委托其他单位向投标人索要任何金钱；
- 2.2** 申报人必须确保申报材料真实，一发现有造假内容，查实后将于媒体公开曝光。

## 三、联系方式

项目申报联系人：航天 772 所科技处项目主管 陈淼

电话：010-67968115-8828

邮箱：chenmiao5000@163.com